

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

出願 969,551

(1997.11.13)

原出願

特許 5,900,748

(1999. 5. 4)

原特許

名称 Voltage comparator

抄録 In a voltage comparator of the present invention, across a gate and a source of an amplifier transistor, a phase compensating capacitor and a first switch circuit are connected with each other in series, and a second switch circuit for short-circuiting the phase compensating capacitor is provided. The second switch circuit is turned on when the first switch circuit is turned off so as to (1) short-circuit the phase compensating capacitor and (2) discharge the phase compensating capacitor which has been charged while the first switch circuit was turned on. This permits to completely turn off the first switch circuit, and to prevent distortion of an output signal outputted from an output terminal, thereby preventing accumulation of unnecessary charges in the phase compensating capacitor.

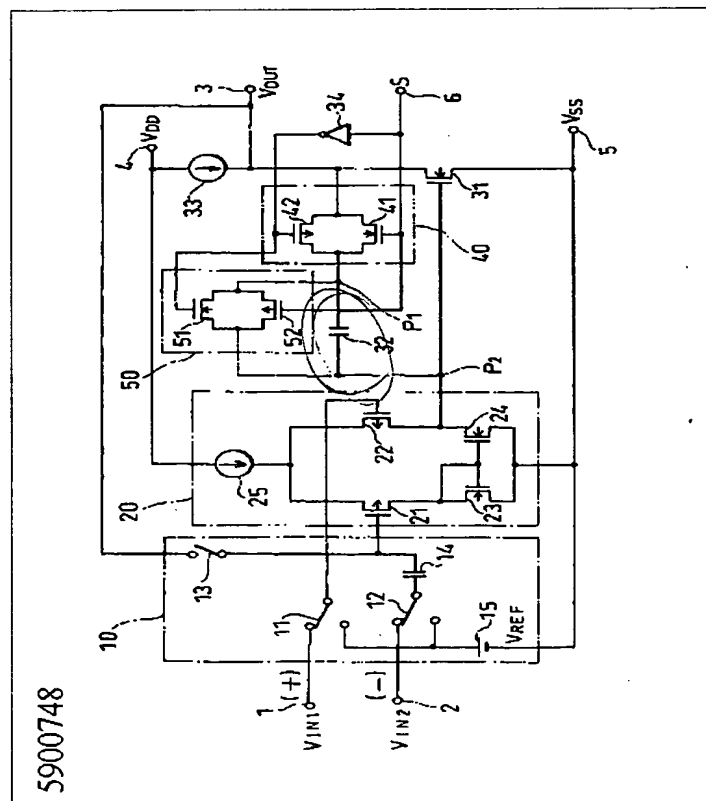
権利者 Sharp Kabushiki Kaisha

発明者 Miyama; Ryuji
Iizuka; Kunihiko
Hashiguchi; Kazuo

IPC H03K 5/22

旧USC 327/ 65

新USC 327/ 65



THIS PAGE BLANK (USPTO)

【特許番号（特許日）】 5,900,748(1999.05.04)

【発明の名称】 Voltage comparator

【国際特許分類（IPC）第6版】

H03K 5/22

【米国特許分類（USC）】

327/ 65

【クレームの数】 5

【出願番号（出願日）】 969,551(1997.11.13)

【特許権者（住所）】 Sharp Kabushiki Kaisha(Osaka, JP)

【発明者（住所）】 Miyama; Ryuji(Tenri, JP)

【発明者（住所）】 Iizuka; Kunihiko(Sakurai, JP)

【発明者（住所）】 Hashiguchi; Kazuo(Shiki-gun, JP)

【サーチ分野】 327/52, 63, 65, 560, 562, 563, 198, 379, 382

【米国引例特許】 4,703,249 10/1987 De La Plaza 323316

【米国引例特許】 4,763,021 08/1988 Stickel 307475

【米国引例特許】 4,868,483 09/1989 Tsujimoto 323313

【米国引例特許】 4,930,112 05/1990 Tanaka 365226

【米国引例特許】 5,061,862 10/1991 Tamagawa 307296.7

【米国引例特許】 5,063,304 11/1991 Iyenger 307296.6

【外国引例特許】 62-, 043, 913 02/1987

【その他の引例】 Gregorian, et al; A Continuously Variable Slope Adaptive Delta Modulation Codec System; IEEE Journal of Solid-State Circuits, vol. SC-18, No. 6, Dec. 1983; pp. 692-700.

【優先権主張基礎出願】 8-302158 19961113 JP

【要約】

<ABSTRACT>

In a voltage comparator of the present invention, across a gate and a source of an amplifier transistor, a phase compensating capacitor and a first switch circuit are connected with each other in series, and a second switch circuit for short-circuiting the phase compensating capacitor is provided. The second switch circuit is turned on when the first switch circuit is turned off so as to (1) short-circuit the phase compensating capacitor and (2) discharge the phase compensating capacitor which has been charged while the first switch circuit was turned on. This permits to completely turn off the first switch circuit, and to prevent distortion of an output signal outputted from an output terminal, thereby preventing accumulation of unnecessary charges in the phase compensating capacitor.

【発明概要】

<FIELD OF THE INVENTION>

The present invention relates to a voltage comparator, provided with a phase compensating capacitor for preventing oscillation, which compares two voltages by outputting a signal in accordance with a difference between the two voltages.

<BACKGROUND OF THE INVENTION>

A conventional voltage comparator is provided with, for example, as shown in FIG. 4, a plus-side input terminal 1, a minus-side input terminal 2, an output terminal 3, and a differential amplifier 20 composed of MOS transistors 21 through 24. The following will describe the operation of the above-mentioned members.

In general, in a voltage comparator, when the potential of the plus-side input terminal 1 is $V_{\text{sub.IN1}}$, the potential of the minus-side input terminal 2 is $V_{\text{sub.IN2}}$, power source potentials are respectively $V_{\text{sub.DD}}$ and $V_{\text{sub.SS}}$, and the gain of the voltage comparator as an amplifier circuit is G , an output voltage $V_{\text{sub.OUT}}$ generated at the output terminal 3 is given by the equation:

$$V_{\text{sub.OUT}} = G\{(V_{\text{sub.IN1}} - V_{\text{sub.IN2}}) + V_{\text{sub.REF}}\}$$

Note that, the $V_{\text{sub.REF}}$ in the equation is generally referred to as a reference voltage. The reference voltage $V_{\text{sub.REF}}$ normally takes a potential value of a medium of the power source potentials $V_{\text{sub.DD}}$ and $V_{\text{sub.SS}}$.

$$V_{\text{sub.REF}} = (V_{\text{sub.DD}} - V_{\text{sub.SS}})/2$$

However, the reference voltage $V_{\text{sub.REF}}$ may take a value different from the specified one.

This allows a voltage in accordance with the difference between the two input terminals 1 and 2 to be outputted from the output terminal 3. In the case where the two inputs have the same potential, the reference voltage $V_{\text{sub.REF}}$ is outputted. However, in the case where an actual voltage comparator is not provided with an offset compensating circuit 10 of FIG. 4, when the properties of the MOS transistors 21 through 24 constituting the differential amplifier 20 are non-uniform, the reference voltage $V_{\text{sub.REF}}$ is outputted even when the two input signals have different potentials. The difference of the

two inputs are referred to as an offset voltage. When the offset voltage is $V_{\text{sub.OFF}}$, the output when the offset voltage is generated is given by the equation (1):

$$V_{\text{sub.OUT}} = G(V_{\text{sub.IN1}} - (V_{\text{sub.IN2}} + V_{\text{sub.OFF}})) + V_{\text{sub.REF}} \quad (1)$$

When the offset voltage $V_{\text{sub.OFF}}$ is generated, the output in accordance with the difference between the $V_{\text{sub.IN1}}$ and $V_{\text{sub.IN2}}$ is not obtained. This causes an operational error of the voltage comparator. Thus, it is desirable to suppress the generation of the offset voltage $V_{\text{sub.OFF}}$.

In contrast, as shown in FIG. 4, the conventional voltage comparator is provided with the offset compensating circuit 10 for compensating the offset voltage. The offset compensating circuit 10 is provided in the preceding stage of the differential amplifier 20, and is provided with transfer switches 11 and 12. The transfer switch 11 transfers and outputs (1) the potential $V_{\text{sub.IN1}}$ or (2) the reference voltage $V_{\text{sub.REF}}$ from a reference voltage source 15. The transfer switch 12 transfers and outputs (a) the potential $V_{\text{sub.IN2}}$ or (b) the reference voltage $V_{\text{sub.REF}}$.

In the above voltage comparator, an offset compensating operation is carried out by the offset compensating circuit 10 prior to a voltage comparing operation.

In the offset compensating operation, first, the transfer switches 11 and 12 are respectively switched on the side of the reference voltage source 15, and an input-output switch 13 is turned on. The input-output switch 13 is provided on the output side of the transfer switch 12 via an offset compensating capacitor 14. Also, a high level control signal S is supplied from a control terminal 6 to a switch circuit 40 provided in an output stage of the voltage comparator. This turns on MOS transistors 41 and 42 constituting a transfer gate in the switch circuit 40.

Under these conditions, the reference voltage $V_{\text{sub.REF}}$ is inputted to the input terminal 1 of the voltage comparator. Also, since the input-output switch 13 is turned on, the potential of the input terminal 2 takes the same value as the output potential of the output terminal 3. Namely, the following relations are established:

$$V_{\text{sub.IN1}} = V_{\text{sub.REF}}$$

$$V_{\text{sub.IN2}} = V_{\text{sub.OUT}}$$

These can be combined with the equation (1) so as to represent the output by the equation: $V_{\text{sub.OUT}} = V_{\text{sub.REF}} - V_{\text{sub.OFF}}$. Here, since $G \gg 1$ in general, the term $\{G/(1+G)\}$ approx. 1. Thus, the above equation can be simplified to:

$$V_{\text{sub.OUT}} = V_{\text{sub.REF}} - V_{\text{sub.OFF}}$$

Specifically, as shown in FIG. 4, the potential of the terminal of the offset compensating capacitor 14 on the side of the differential amplifier 20, namely, the potential of a point P.sub.3 is $V_{\text{sub.REF}} - V_{\text{sub.OFF}}$, and the potential of the terminal of the offset compensating capacitor 14 on the side of the transfer switch 12, namely, the potential of a point P.sub.4 is $V_{\text{sub.REF}}$. Thus, the offset compensating capacitor 14 accumulates a charge in accordance with $V_{\text{sub.OFF}}$ which is a potential difference across the offset compensating capacitor 14. Here, when $V_{\text{sub.OFF}} > 0$, the potential of the point P.sub.3 becomes lower than the potential of the point P.sub.4 by the amount of $V_{\text{sub.OFF}}$, and when $V_{\text{sub.OFF}} < 0$, the potential of the point P.sub.3 becomes higher than the potential of the point P.sub.4 by the amount of $V_{\text{sub.OFF}}$.

In the offset compensating operation, the voltage comparator functions as an operational amplifier. Thus, by turning on the switch circuit 40 so as to connect a phase compensating capacitor 32 between the input and the output of an amplifier transistor 31, the generation of oscillation can be suppressed, thereby permitting to stabilize the operation of the voltage comparator functioning as the operational amplifier.

After the offset compensating operation is carried out in the described manner, the voltage comparing operation is carried out. When the operation of the voltage comparator is shifted to the voltage comparing operation, the transfer switches 11 and 12 are respectively switched on respective sides of the input terminals 1 and 2, the input-output switch 13 is turned off, and the control signal S becomes a low level.

Here, because a charge for the amount of $V_{\text{sub.OFF}}$ is accumulated in the offset compensating capacitor 14, when the potentials $V_{\text{sub.IN1}}$ and $V_{\text{sub.IN2}}$ are respectively supplied, as inputs for the voltage comparator, to the input terminals 1 and 2, the potential $(V_{\text{sub.IN2}} - V_{\text{sub.OFF}})$ is supplied to the input terminal 2 equivalently. Thus, in this case, the output is given by the equation: $V_{\text{sub.OUT}} = V_{\text{sub.REF}} - V_{\text{sub.OFF}}$.

As described, by providing the voltage comparator with the offset compensating circuit 10, it is possible to cancel the error of the output voltage due to the offset voltage.

Also, in the voltage comparing operation, by turning off the switch circuit 40 so as to disconnect the phase compensating capacitor 32 from the input and the output of the amplifier transistor 31, it is possible to widen a frequency band, and to increase the operation speed.

Note that, Japanese Unexamined Patent publication No. 43913/1987 (Tokukaishou 62-43913) discloses (1) the function as the operational amplifier and as the voltage comparator and (2) the phase compensating capacitor 32 and the switch circuit 40. The offset compensation, the phase compensating capacitor 32, and the switch circuit 40 are also disclosed in "A Continuously Variable Slope Adaptive Delta Modulation Codec System" in IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-18,

In the case where the circuit of FIG. 4 is adopted as the voltage comparator, there is a case where the switch circuit 40 cannot be turned off even when the control signal S is made a low level in order to turn off the switch circuit 40. In such a case, it is possible that the distortion of the output V.sub.OUT is caused. The following will describe such a case in detail.

In the case where, for example, the power source voltage V.sub.VDD supplied to a power source terminal 4 is 3 V, the power source voltage V.sub.VSS supplied to a power source terminal 5 is 0 V, and the reference voltage V.sub.REF is 1.5 V, for the offset compensating operation, when the transfer switches 11 and 12 are respectively switched on the side of the reference voltage source 15, the input-output switch 13 is turned on, and the control signal S is a high level, the potential of the terminal of the phase compensating capacitor 32 on the side of the switch circuit 40, namely, the potential of a point P.sub.1 becomes substantially 1.5 V (V.sub.REF - V.sub.OFF).

Here, when the potential of the phase compensating capacitor 32 on the side of the output terminal of the differential amplifier 20, namely, the potential of a point P.sub.2 is, for example, 0.8 V, a potential difference of 0.7 V is generated across the phase compensating capacitor 32. For this reason, a charge in accordance with the potential difference is accumulated in the phase compensating capacitor 32. This makes the potential of the point P.sub.1 higher than the potential of the point P.sub.2 by the amount of 0.7 V.

Further, when the operation of the voltage comparator is then shifted to the voltage comparing operation by making the switch control signal S a low level such that the potential of the point P.sub.2 becomes 2.8 V when the input of the input terminal 1 is larger than the input of the input terminal 2, because the potential difference of 0.7 V is also generated in this case across the phase compensating capacitor 32, the potential of the point P.sub.1 becomes 3.5 V.

A P-type MOS transistor 42 constituting the switch circuit 40 has a structure shown in FIG. 5. In the case where the MOS transistor 42 is to be provided on a P-type wafer substrate 60, the MOS transistor 42 is formed on a region of an N-well 61. In this case, because the low level control signal S is inverted by an inverter 34 so as to be inputted, a voltage of 3 V is applied to the gate electrode of the MOS transistor 42. Also, as mentioned above, the potential of the terminal of the MOS transistor 42 connected to the point P.sub.1 is 3.5 V. This makes the potential of the terminal of P.sub.1 higher than the potential of the gate electrode, thereby turning on the MOS transistor 42 (although not completely necessarily). As described, in the case where the circuit of FIG. 4 is adopted as the voltage comparator, there is a case where the MOS transistor 42 is not turned off completely even when the switch control signal S is made a low level in order to turn off the switch circuit 40. In such a case, the switch circuit 40 is not turned off completely.

In the case where the switch circuit 40 is not turned off completely, the current from a constant current source 33 flows to the switch circuit 40. This distorts the output signal of the output terminal 3. For example, as shown in FIG. 6, in the case where the output signal of the differential amplifier 20 has a waveform which rises from V.sub.1 to V.sub.2 at a time T.sub.1, the actual signal outputted from the output terminal 3 has a distorted waveform which does not rise spontaneously from V.sub.3 to V.sub.4, as shown by the curve in FIG. 7.

<SUMMARY OF THE INVENTION>

It is an object of the present invention to provide a voltage comparator in which accumulation of unnecessary charges in the phase compensating capacitor can be prevented.

In order to achieve the above-mentioned object, a voltage comparator of the present invention includes:

a differential amplifier for outputting a signal in accordance with a difference between a first input signal and a second input signal;

an amplifier transistor for amplifying an output signal of the differential amplifier;

a phase compensating capacitor provided across an input and an output of the amplifier transistor;

a connection-disconnection switch for (1) connecting the phase compensating capacitor across the input and the output of the amplifier transistor and (2) disconnecting the phase compensating capacitor from the input and the output of the amplifier transistor;

an offset compensating circuit for compensating an offset component of an output signal of the amplifier transistor; and
a short-circuit switch for short-circuiting the phase compensating capacitor.

With this arrangement, the phase compensating capacitor is connected, by the connection-disconnection switch, between the input and the output of the amplifier transistor when phase compensation is required, whereas the phase compensating capacitor is disconnected from the input and the output of the amplifier transistor when phase compensation is not required. Even when the phase compensating capacitor is disconnected from the input and the output of the amplifier transistor, a charge which has accumulated while the phase compensating capacitor is in connection still remains in the phase compensating capacitor. However, when the phase compensating capacitor are short-circuited by the short-circuit switch, the accumulated charge in the phase compensating capacitor can be released. Thus, when carrying out the voltage

comparing operation of the voltage comparator, by making a control signal, which controls the operation of the connection-disconnection switch, for example, a low level, so as to turn off the connection-disconnection switch, it is possible to turn off the connection-disconnection switch completely, thereby preventing the output signal of the voltage comparator from being distorted.

In the voltage comparator of the present invention, it is preferable that the short-circuit switch releases the short-circuiting of the phase compensating capacitor in synchronism with a connecting operation of the connection-disconnection switch, whereas the short-circuit switch short-circuits the phase compensating capacitor in synchronism with a disconnecting operation of the connection-disconnection switch.

With this arrangement, when the phase compensating capacitor is in connection by the connection-disconnection switch, the short-circuiting of the phase compensating capacitor is released by the short-circuit switch, whereas when the phase compensating capacitor is in disconnection by the connection-disconnection switch, the phase compensating capacitor is short-circuited by the short-circuit switch. Thus, since the short-circuit switch is operated in synchronism with the operation of the connection-disconnection switch, it is possible to adopt a common control system for the short-circuit switch and the connection-disconnection switch.

For a fuller understanding of the nature and advantages of the invention, reference should be made to the ensuing detailed description taken in conjunction with the accompanying drawings.

【図面の簡単な説明】

<BRIEF DESCRIPTION OF THE DRAWINGS>

FIG. 1 is a circuit diagram showing a structure of a voltage comparator in accordance with one embodiment of the present invention.

FIG. 2 is a waveform chart showing a waveform of an output signal outputted from an output terminal of the voltage comparator.

FIG. 3 is a circuit diagram showing a structure of another voltage comparator in accordance with the embodiment of the present invention.

FIG. 4 is a circuit diagram showing a structure of a conventional voltage comparator.

FIG. 5 is a cross sectional view showing a structure of a P-MOS transistor of a switch circuit provided in the voltage comparator of FIG. 4.

FIG. 6 is a waveform chart showing a waveform of an output signal from a differential amplifier of the voltage comparator of FIG. 4.

FIG. 7 is a waveform chart showing a waveform of an output signal, corresponding to the output signal of FIG. 6, outputted from an output terminal of a voltage comparator.

【発明の詳細な説明】

<DESCRIPTION OF THE EMBODIMENTS>

The following will describe one embodiment of the present invention referring to FIG. 1 through FIG. 3. Note that, in the present embodiment, members having the same functions as the members of a conventional voltage comparator of FIG. 4 are given the same reference numerals.

As shown in FIG. 1, a voltage comparator of the present embodiment is provided with a plus-side input terminal 1, a minus-side input terminal 2, an output terminal 3, power source terminals 4 and 5 respectively supplied with power source voltages V_{DD} and V_{SS} , and a control terminal 6 which receives a control signal S . The voltage comparator of the present embodiment is further provided with an offset compensating circuit 10, a differential amplifier 20, an amplifier transistor 31, a phase compensating capacitor 32, a constant current source 33, an inverter 34, and switch circuits 40 and 50.

The offset compensating circuit 10 is provided with transfer switches 11 and 12, an input-output switch 13, an offset compensating capacitor 14, and a reference voltage source 15.

The transfer switch 11 transfers and outputs (1) an input signal inputted from the input terminal 1 or (2) a reference voltage V_{REF} generated by the reference voltage source 15. The transfer switch 12 transfers and outputs, to the offset compensating capacitor 14, (a) an input signal inputted from the input terminal 2 or (b) the reference voltage V_{REF} .

The input-output switch 13 is provided between the terminal of the offset compensating capacitor 14 and the output terminal 3. The input-output switch 13 is turned on when both of the transfer switches 11 and 12 are switched on the side of the reference voltage source 15, and the input-output switch 13 is turned off when the transfer switches 11 and 12 are respectively switched on respective sides of the input terminals 1 and 2.

The differential amplifier 20 is provided with P-type MOS transistors (hereinafter referred to as P-MOS transistors) 21 and 22, N-type MOS transistors (hereinafter referred to as N-MOS transistors) 23 and 24, and a constant current source 25.

The gate of the P-MOS transistor 21 is connected to the terminal of the offset compensating capacitor 14 on the side of the input-output switch 13, and the gate of the P-MOS transistor 22 is connected to the output terminal of the transfer switch 11. Also, the respective sources of the P-MOS transistors 21 and 22 are connected to the output terminal of the constant current source 25. On the other hand, the drains of the N-MOS transistors 23 and 24 are respectively connected to the drains of P-MOS transistors 21 and 22, and the respective sources of the N-MOS transistors 23 and 24 are connected to the power source terminal 5. Also, the gate of the N-MOS transistor 23 is connected to the source of the N-MOS transistor 24 and the gate of the N-MOS transistor 24. The input terminal of the constant current source 25 is connected to the power source terminal 4.

The amplifier transistor 31 is an N-type MOS transistor. The gate of the amplifier transistor 31 is connected to the output terminal of the differential amplifier 20. Namely, the gate of the amplifier transistor 31 is connected to the junction (drain) of the P-MOS transistor 22 and the N-MOS transistor 24. Also, the drain and the source of the amplifier transistor 31 are respectively connected to the output terminal of the constant current source 33 and the power source terminal 5. The input terminal of the constant current source 33 is connected to the power source terminal 4.

The phase compensating capacitor 32 and the switch circuit 40 are connected with each other in series across the gate and the drain of the amplifier transistor 31. Also, the switch circuit 50 is connected in parallel with the phase compensating capacitor 32. One terminal of the phase compensating capacitor 32 is connected to the output terminal of the differential amplifier 20, i.e., a point P.sub.2, and the other terminal of the phase compensating capacitor 32 is connected to the input terminal of the switch circuit 40, i.e., a point P.sub.1.

The switch circuit 40 as a connection-disconnection switch is so-called a transfer gate, wherein the N-MOS transistor 41 and the P-MOS transistor 42 are connected in parallel. The gate of the N-MOS transistor 41 is connected to the control terminal 6, and the gate of the P-MOS transistor 42 is connected to the control terminal 6 via the inverter 34. Also, the drain of the N-MOS transistor 41 and the source of the P-MOS transistor 42 are connected to the point P.sub.1. The source of the N-MOS transistor 41 and the drain of the P-MOS transistor 42 are connected to the drain of the amplifier transistor 31.

The switch circuit 50 as a short-circuit switch is also a transfer gate, wherein the N-MOS transistor 51 and the P-MOS transistor 52 are connected in parallel. The drain of the N-MOS transistor 51 and the source of the P-MOS transistor 52 are connected to the point P.sub.2. Also, the source of the N-MOS transistor 51 and the drain of the P-MOS transistor 52 are connected to the point P.sub.1.

In the voltage comparator having the described arrangement, an offset compensating operation is carried out prior to a voltage comparing operation. The offset compensating operation is similar to the offset compensating operation of the conventional voltage comparator (see FIG. 4) in that the offset compensating operation of the present embodiment functions under the conditions wherein the transfer switches 11 and 12 are both switched on the side of the reference voltage source 15, and the input-output switch 13 is turned on. Also, in the offset compensating operation, since the control signal S becomes a high level, the switch circuit 40 is turned on.

Here, the offset compensating capacitor 14 accumulates an excess charge for the potential of an offset voltage $V_{\text{sub.OFF}}$. Also, in the offset compensating operation, since the switch circuit 50 is turned off by the control signal S, the phase compensating capacitor 32 is connected across the input and the output of the amplifier transistor 31 via the switch circuit 40. Thus, the generation of oscillation is suppressed by the phase compensating capacitor 32, thereby stabilizing the operation of the voltage comparator.

In the case where the operation of the voltage comparator is shifted from the offset compensating operation to the voltage comparing operation, the transfer switches 11 and 12 are respectively switched on the respective sides of the input terminals 1 and 2, the input-output switch 13 is turned off, and the control signal S becomes a low level. This turns off the switch circuit 40, and turns on the switch circuit 50.

Under these conditions, when potentials $V_{\text{sub.IN1}}$ and $V_{\text{sub.IN2}}$ are supplied respectively to the input terminals 1 and 2, the potential of the input terminal 2 takes a value obtained by subtracting (a) the offset voltage $V_{\text{sub.OFF}}$ charged in the offset compensating capacitor 14 from (b) the potential $V_{\text{sub.IN2}}$, thereby offsetting an offset component of the output voltage $V_{\text{sub.OUT}}$ which is transferred to the output terminal 3 via the differential amplifier 20 and the amplifier transistor 31.

Further, by turning off the switch circuit 40, the phase compensating capacitor 32 is disconnected from the input and the output of the amplifier transistor 31. This widens the frequency band of the voltage comparator, and increases the operation speed. Here, by turning on the switch circuit 50, the phase compensating capacitor 32 is short-circuited such that the charge accumulated in the phase compensating capacitor 32 during the offset compensating operation is released. As a result, the both terminals of the phase compensating capacitor 32 have the same potential. This prevents the potential of the point P.sub.1 from becoming higher than the gate voltage (high level potential of control signal S) of

the P-MOS transistor 42. Therefore, the P-MOS transistor 42 is prevented from being turned on while the control signal S is a low level.

Thus, as shown in FIG. 2, unlike the output signal of the conventional voltage comparator (see FIG. 7), the output signal of the voltage comparator of the present embodiment has a waveform which is not distorted, thereby making it possible to stably operate the voltage comparator without being affected at all by the phase compensating capacitor 32. Further, since the output waveform is not distorted, the operation speed of the voltage comparator can be increased.

Also, the reference voltage V.sub.REF is normally set to have a potential value of a medium of the power source voltages V.sub.DD and V.sub.SS. However, the value of the reference voltage V.sub.REF is not limited to the specified one, but the reference voltage V.sub.REF may have a value of any potential between the power source voltages V.sub.DD and V.sub.SS. Even in the case of adopting such a reference voltage V.sub.REF, the voltage comparator of the present embodiment can be operated in the described manner.

Note that, in the present embodiment, as shown in FIG. 3, even in the case where all the transistors 26 through 29, 43, 44, 53, and 54 provided on the voltage comparator are arranged so as to have the opposite polarities to the polarities (P type and N type) of the transistors 21 through 24, 41, 42, 51, and 52 of FIG. 1, it is also possible to stabilize the operation of the voltage comparator in the described manner. With this arrangement, as a control signal to be supplied to the switch circuit 40, such a signal is adopted which is prepared by inverting the control signal S in accordance with the polarities of the transistors. In the case of carrying out the voltage comparing operation with this arrangement, due to the short-circuit operation of the switch circuit 50, the potential of the point P.sub.1 is prevented from becoming lower than the gate voltage of the N-MOS transistor. Thus, the switch circuit 40 is not turned on.

As described, the voltage comparator of the present invention has an arrangement wherein the phase compensating capacitor 32 is connected, via the switch circuit 40, across the input and the output of the amplifier transistor 31 which amplifies the output signal of the differential amplifier 20, and the voltage comparator of the present invention is provided with (1) the offset compensating circuit 10 for compensating the offset component of the output signal of the amplifier transistor 31 and (2) the switch circuit 50 for short-circuiting the phase compensating capacitor 32. Thus, when the phase compensating capacitor 32 is disconnected from the input and the output of the amplifier transistor by the switch circuit 50, a charge remaining in the phase compensating capacitor 32 is released. This allows to completely turn off the switch circuit 40 when the voltage comparing operation of the voltage comparator is carried out, thereby preventing the generation of distortion of the output signal of the voltage comparator.

With the described arrangement, it is possible to (1) improve the reliability of the operation of the voltage comparator and (2) increase the operation speed of the voltage comparator.

The switch circuit 50 of the voltage comparator is arranged so as to, preferably, (1) release the short-circuiting of the phase compensating capacitor 32 in synchronism with the connecting operation of the switch circuit 40 and (2) short-circuit the phase compensating capacitor 32 in synchronism with the disconnecting operation of the switch circuit 40, thereby permitting to adopt a common control system for the switch circuits 40 and 50. Thus, with this arrangement, it is possible to simplify the circuits.

The invention being thus described, it will be obvious that the same may be varied in many ways. Such variations are not to be regarded as a departure from the spirit and scope of the invention, and all such modifications as would be obvious to one skilled in the art are intended to be included within the scope of the following claims.

【クレーム】

What is claimed is:

1. A voltage comparator, comprising:

a differential amplifier for outputting a signal in accordance with a difference between a first input signal and a second input signal;

a transistor amplifier for amplifying an output signal of said differential amplifier;

a phase compensating capacitor provided across an input and an output of said transistor amplifier;

a connection-disconnection switch for (1) connecting said phase compensating capacitor across the input and the output of said transistor amplifier and (2) disconnecting said phase compensating capacitor from the input and the output of said transistor amplifier;

an offset compensating circuit for compensating an offset component of an output signal of said transistor amplifier; and for providing the input signals to said differential amplifier

a short-circuit switch controlled commonly with said connection-disconnection switch for short-circuiting said phase compensating capacitor.

2. The voltage comparator as set forth in claim 1, wherein said short-circuit switch releases short-circuiting of said phase compensating capacitor in synchronism with a connecting operation of said connection-disconnection switch, whereas

said short-circuit switch short-circuits said phase compensating capacitor in synchronism with a disconnecting operation of said connection-disconnection switch.

3. The voltage comparator as set forth in claim 2, wherein:

said connection-disconnection switch is composed of an N-type first MOS transistor and a P-type second MOS transistor connected with each other in parallel, said short-circuit switch is composed of an N-type third MOS transistor and a P-type fourth MOS transistor connected with each other in parallel, and

respective gates of the first MOS transistor and the fourth MOS transistor are supplied with a same control signal, whereas respective gates of the second MOS transistor and the third MOS transistor are supplied with a same inverted signal of the control signal.

4. The voltage comparator as set forth in claim 1, further comprising:

a first input terminal for receiving the first input signal;

a second input terminal for receiving the second input signal; and

an output terminal for outputting an output signal of said transistor amplifier,

said offset compensating circuit including:

a reference voltage source for generating a reference voltage;

an offset compensating capacitor, connected to one input terminal of said differential amplifier, for accumulating a charge in accordance with the offset component;

a first transfer switch for transferring and outputting the first input signal or the reference voltage to the other input terminal of said differential amplifier;

a second transfer switch for transferring and outputting the second input signal or the reference voltage to said offset compensating capacitor; and

an input-output switch for (1) connecting a terminal on a side of said differential amplifier and the output terminal and (2) disconnecting the terminal on the side of said differential amplifier from the output terminal, wherein said input-output terminal is in connection when said first transfer switch and said second transfer switch are both switched on a side of the reference voltage source, whereas said input-output terminal is in disconnection when said first transfer switch and said second transfer switch are respectively switched on respective sides of said first input terminal and said second input terminal.

5. The voltage comparator as set forth in claim 4, wherein said short-circuit switch releases short-circuiting of said phase compensating capacitor in synchronism with a connecting operation of said connection-disconnection switch while said input-output switch is in connection, whereas said short-circuit switch short-circuits said phase compensating capacitor in synchronism with a disconnecting operation of said connection-disconnection switch while said input-output signal is in disconnection.

THIS PAGE BLANK (USPTO)

FIG. 2

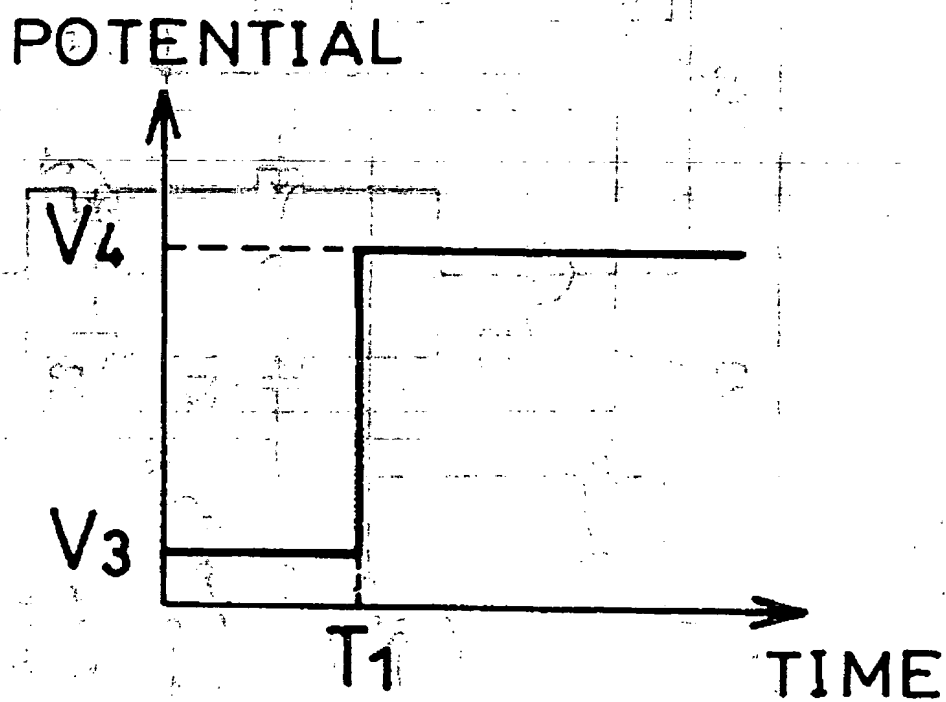


FIG. 3

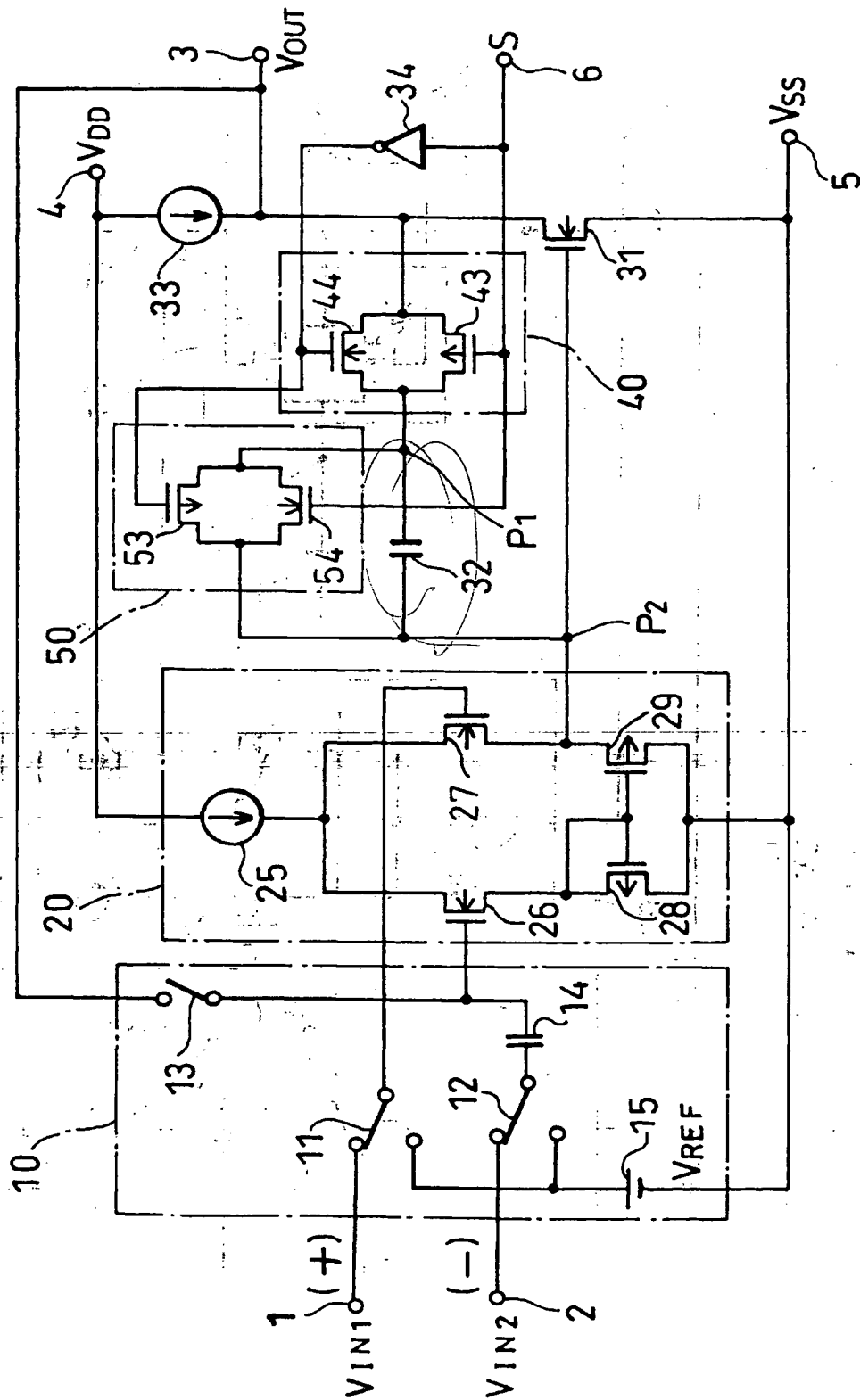


FIG. 4
PRIOR ART

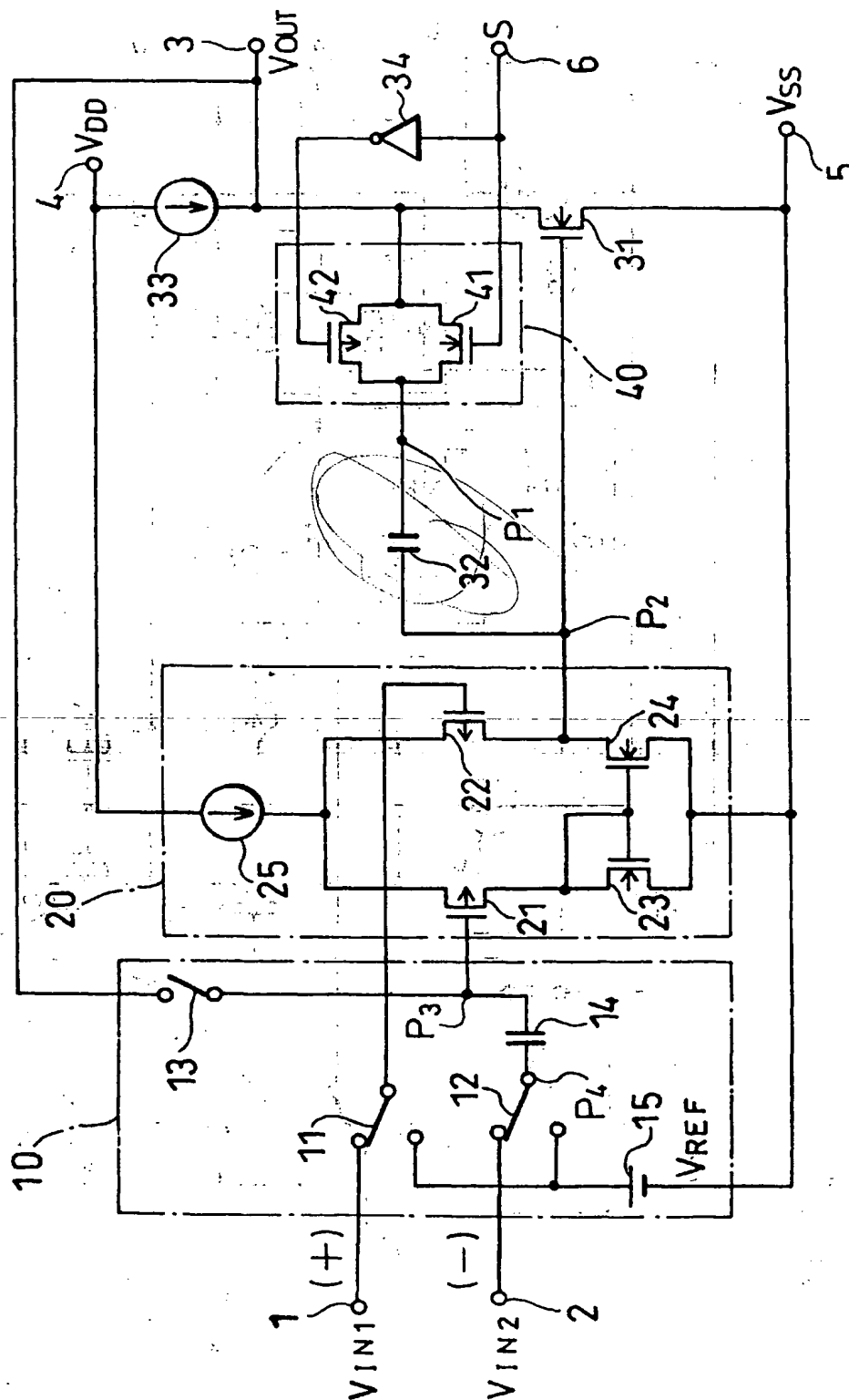


FIG. 5
PRIOR ART

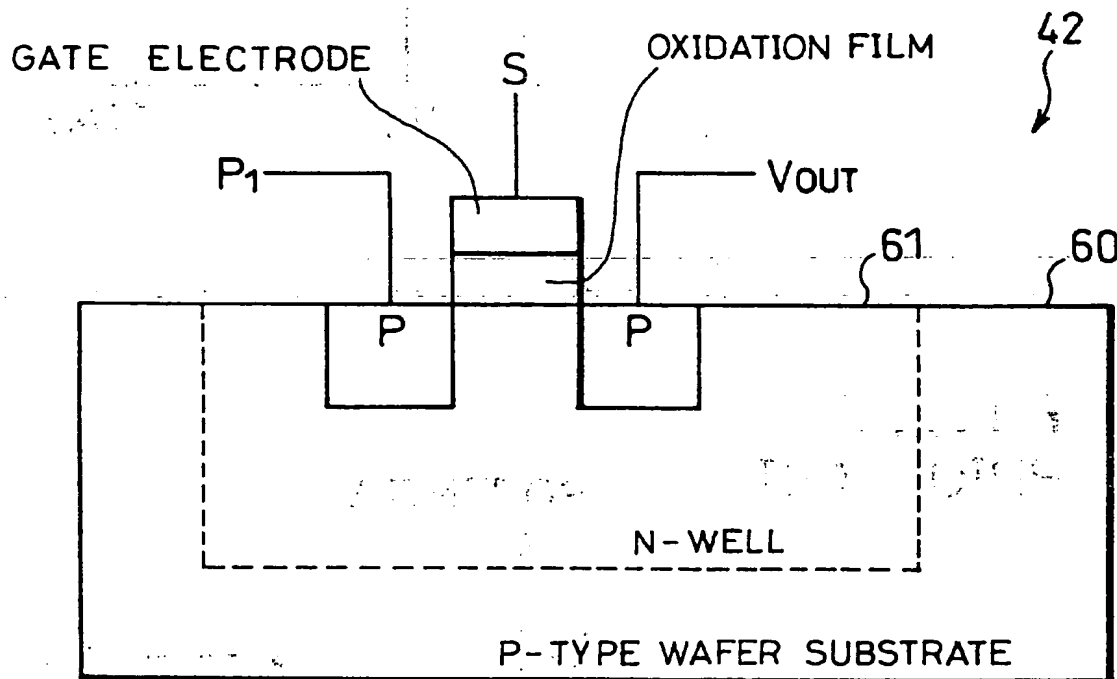


FIG. 6
PRIOR ART

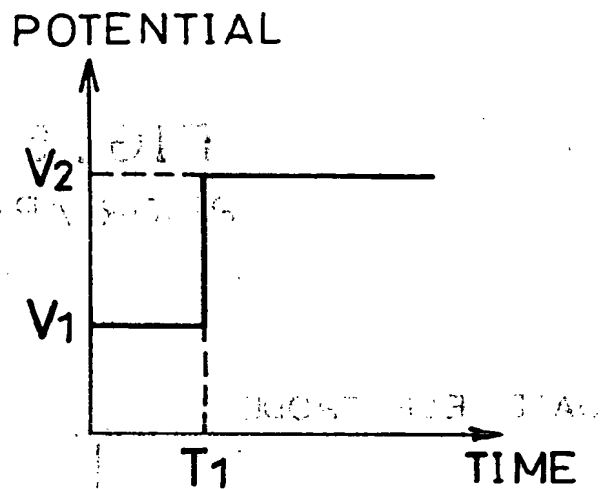
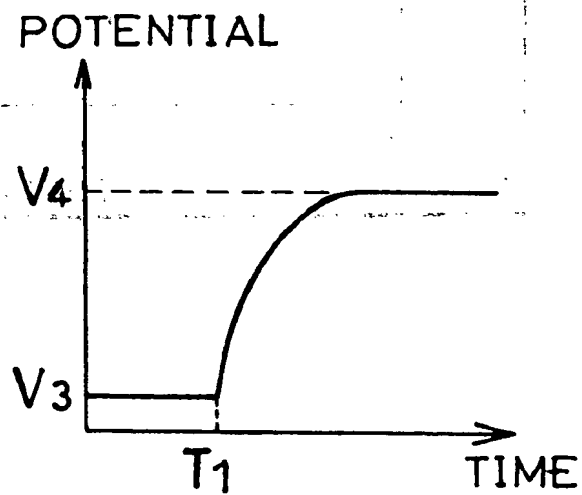


FIG. 7
PRIOR ART



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-145194

(43) 公開日 平成10年(1998) 5月29日

(51) Int. Cl.⁶

H 0 3 K 5/08

G 0 1 R 19/165

識別記号

F I

H 0 3 K 5/08

G 0 1 R 19/165

E

A

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号

特願平8-302158

(22) 出願日

平成 8 年(1996) 11月13日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 見山 隆二

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 飯塚 邦彦

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 橋口 和夫

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

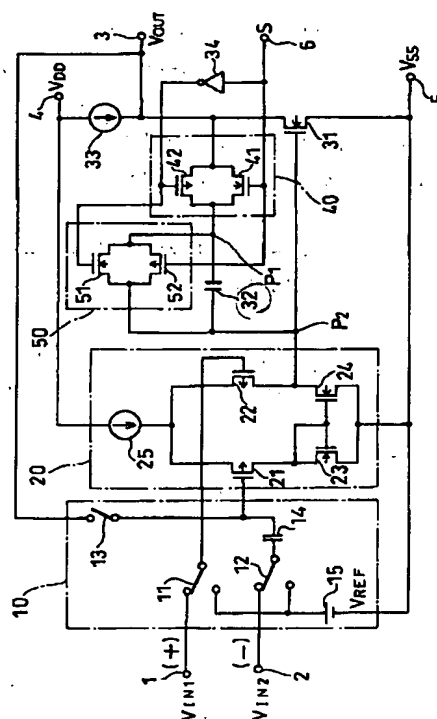
(74) 代理人 弁理士 原 謙三

(54) 【発明の名称】 電圧比較器

(57) 【要約】

【課題】 位相補償用コンデンサへの不要な電荷の蓄積を防止する。

【解決手段】 増幅用トランジスタ 31 のゲートとソースとの間に位相補償用コンデンサ 32 およびスイッチ回路 40 を直列に接続し、位相補償用コンデンサ 32 の両端を短絡するスイッチ回路 50 を設ける。スイッチ回路 40 がオフしたときにスイッチ回路 50 がオンすることで、位相補償用コンデンサ 32 の両端を短絡し、スイッチ回路 40 のオン時に充電された位相補償用コンデンサ 32 を放電させる。この結果、スイッチ回路 40 を完全にオフさせることが可能になり、出力端子 3 から出力される出力信号が歪むことを防止できる。



【特許請求の範囲】

【請求項1】2系統の入力信号の差に応じた信号を出力する差動増幅器と、この差動増幅器の出力信号を増幅する増幅用トランジスタと、この増幅用トランジスタの入出力間に設けられる位相補償用コンデンサと、上記増幅用トランジスタの入出力間への上記位相補償用コンデンサの接続および切り離しを行う接離スイッチと、上記増幅用トランジスタの出力信号に含まれるオフセット成分を補償するオフセット補償回路とを備えた電圧比較器において、

上記位相補償用コンデンサの両端を短絡する短絡スイッチを備えていることを特徴とする電圧比較器。

【請求項2】上記短絡スイッチが、上記接離スイッチの接続動作に同期して上記位相補償用コンデンサの両端を開放する一方、上記接離スイッチの切り離し動作に同期して上記位相補償用コンデンサの両端を短絡することを特徴とする請求項1に記載の電圧比較器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、位相補償用コンデンサを含む電圧比較器に関するものである。

【0002】

【従来の技術】従来の電圧比較器は、例えば、図3に示すように、プラス側の入力端子1と、マイナス側の入力端子2と、出力端子3と、MOSトランジスタ21～24と、

$$V_{OUT} = G \{ V_{IN1} - (V_{IN2} + V_{OFF}) \} + V_{REF} \quad \dots (1)$$

と表される。このオフセット電圧 V_{OFF} が発生すると、 V_{IN1} と V_{IN2} の差分に応じた出力が得られず、電圧比較器の誤動作を誘発するので、発生させないようにすることが望ましい。

【0006】これに対し、従来の電圧比較器では、図3に示すように、オフセット電圧を補償するオフセット補償回路10が設けられている。このオフセット補償回路10は、差動増幅器20の前段に配置されており、切替スイッチ11・12を有している。切替スイッチ11は、電位 V_{IN1} と基準電圧源15からの基準電圧 V_{REF} とを切り替えて出力し、切替スイッチ12は、電位 V_{IN2} と基準電圧 V_{REF} とを切り替えて出力するようになっている。

【0007】上記の電圧比較器では、本来の電圧比較の動作の前に、オフセット補償回路10によるオフセット補償動作が行われる。

【0008】このとき、まず、切替スイッチ11・12がともに基準電圧源15側に切り替えられ、スイッチ12の出力側にオフセット補償用コンデンサ14を介して設けられるON/OFFスイッチ13がオンする。また、このとき、電圧比較器における出力段に設けられるスイッチ回路40には、ハイレベルの制御信号Sが制御端子6から与えられる。これにより、スイッチ回路40においてトランスファゲートを構成するMOSトランジ

スタ41により構成される差動増幅器20とを備えている。以下、これらの動作について説明する。

【0003】一般に、電圧比較器において、プラス側の入力端子1の電位 V_{IN1} 、マイナス側の入力端子2の電位 V_{IN2} 、電源電位 V_{DD} ・ V_{SS} 、その増幅回路としてのゲインをGとすると、出力端子3に現れる出力電圧 V_{OUT} は、

$$V_{OUT} = G \{ (V_{IN1} - V_{IN2}) \} + V_{REF}$$

と表される。ただし、上式において V_{REF} は一般に基準電圧と呼ばれる電圧である。基準電圧 V_{REF} は、通常、 V_{DD} と V_{SS} の中間の電位である

$$V_{REF} = (V_{DD} - V_{SS}) / 2$$

という値をとるが、それ以外の値をとる場合もある。

【0004】これにより、2個の入力端子1・2の差分に応じた電圧が出力端子3から出力される。特に、2個の入力が同電位の場合には、基準電圧 V_{REF} が出力される。

【0005】しかしながら、実際の電圧比較器では、図3に示すようなオフセット補償回路10が設けられていない場合、差動増幅器20を構成するMOSトランジスタ21～24の特性が不均一であると、2個の入力信号が同電位でなくとも、基準電圧 V_{REF} が出力される。このときの2個の入力の差は、オフセット電圧と呼ばれる。オフセット電圧を V_{OFF} とすると、オフセット電圧が生じているときの出力は、

スタ41・42がオンする。

【0009】このような状態では、電圧比較器の入力端子1に V_{REF} が入力される。また、ON/OFFスイッチ13がオンになっているので、入力端子2の電位が出力端子3の出力と同電位になる。つまり、

$$V_{IN1} = V_{REF}$$

$$V_{IN2} = V_{OUT}$$

となるので、これらと(1)式より、出力は、

$$V_{OUT} = G \{ V_{REF} - (V_{OUT} + V_{OFF}) \} + V_{REF} \\ = V_{REF} - \{ G / (1 + G) \} \cdot V_{OFF}$$

と表される。ここで、一般に、 $G \gg 1$ であるので、 $\{ G / (1 + G) \} \approx 1$ と表すことができる。したがって、上式は、

$$V_{OUT} = V_{REF} - V_{OFF}$$

となる。

【0010】つまり、図3に示すように、オフセット補償用コンデンサ14の差動増幅器20側の端子の電位、すなわち点 P_3 の電位は $V_{REF} - V_{OFF}$ であり、オフセット補償用コンデンサ14のスイッチ12側の端子の電位、すなわち点 P_4 の電位は V_{REF} になっている。したがって、オフセット補償用コンデンサ14には、その両端の電位差である V_{OFF} に応じた電荷が蓄えられる。このとき、 $V_{OFF} > 0$ であれば、点 P_3 の電位が点 P_4 の電位より V_{OFF} だけ低くなり、 $V_{OFF} < 0$ であれば、点

P_3 の電位が点 P_4 の電位より V_{OFF} だけ高くなる。

【0011】また、オフセット補償動作においては、電圧比較器が演算増幅器として機能している。したがって、スイッチ回路40をオンさせることにより増幅トランジスタ31の入出力間に位相補償用コンデンサ32が接続されると、発振が抑制され、演算増幅器としての機能が安定する。

【0012】このようにして、オフセット補償動作が行われると、続いて電圧比較動作が行われる。電圧比較動作に移行すると、切替スイッチ11・12がそれぞれ入

$$V_{OUT} = G \{ V_{IN1} - (V_{IN2} - V_{OFF} + V_{OFF}) \} + V_{REF}$$

$$= G (V_{IN1} - V_{IN2}) + V_{REF}$$

と表される。

【0014】このように、電圧比較器は、オフセット補償回路10を備えることで、オフセット電圧による出力電圧の誤差をキャンセルすることができる。

【0015】また、電圧比較動作においては、スイッチ回路40をオフさせることにより増幅トランジスタ31の入出力間から位相補償用コンデンサ32が切り離されると、周波数帯域を拡大し、かつ動作を速くすることができる。

【0016】なお、上記の演算増幅器および電圧比較器としての機能ならびに位相補償用コンデンサ32およびスイッチ回路40については、特開昭62-43913号公報に開示されている。また、オフセット補償ならびに位相補償用コンデンサ32およびスイッチ回路40については、"A Continuously Variable Slope Adaptive Delta Modulation Codec System" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-18, NO. 6, DECEMBER 1983 p.698 に開示されている。

【0017】

【発明が解決しようとする課題】図3に示す回路では、電圧比較器として使用する際、スイッチ回路40をオフさせるために制御信号Sをローレベルにしても、スイッチ回路40がオフにならないことがあり、これが原因となって出力 V_{OUT} が歪んでしまうことがある。次に、その状態について詳しく説明する。

【0018】例えば電源端子4に与えられる電源電圧 V_{DD} が3V、電源端子5に与えられる電源電圧 V_{SS} が0V、基準電圧 V_{REF} が1.5Vであるとき、オフセット補償動作のために、切替スイッチ11・12がいずれも基準電圧源15側に切り替えられ、ON/OFFスイッチ13がオンし、さらに制御信号Sがハイレベルとなった状態では、位相補償用コンデンサ32のスイッチ回路40側の端子の電位、すなわち点 P_1 の電位は約1.5Vの $(V_{REF} - V_{OFF})$ となる。

【0019】そのときの位相補償用コンデンサ32の差動増幅器20の出力端側の電位、すなわち点 P_2 の電位が仮に0.8Vであれば、位相補償用コンデンサ32の両端には、0.7Vの電位差が生じている。このため、

力端子1・2側に切り替えられ、ON/OFFスイッチ13がオフするとともに、制御信号Sがローレベルとなる。

【0013】この状態では、オフセット補償用コンデンサ14に V_{OFF} の分だけ電荷が蓄積されたままになっているので、電圧比較器の入力として、入力端子1・2にそれぞれ電位 V_{IN1} ・ V_{IN2} が与えられると、入力端子2には、等価的に $(V_{IN2} - V_{OFF})$ の電位が与えられていることになる。したがって、このときの出力は、

位相補償用コンデンサ32にその電位差に応じた電荷が蓄積され、点 P_1 の電位が点 P_2 の電位より0.7V高くなる。

【0020】さらに、この後、スイッチ制御信号Sをローレベルにして電圧比較動作に移行すると、入力端子1の入力が入力端子2の入力より大きい場合に、点 P_2 の電位が2.8Vになったとする。このときも、位相補償用コンデンサ32の両端に0.7Vの電位差が保持されている(点 P_1 の電位が点 P_2 の電位より0.7V高い)ので、点 P_1 の電位が3.5Vになる。

【0021】また、スイッチ回路40を構成するP型のMOSトランジスタ42は、図4に示す構造になっている。MOSトランジスタ42は、P型ウエハ基板60に作製される場合、Nウェル61の領域内に形成される。上記の状態では、ローレベルの制御信号Sがインバータ34で反転されて入力されるので、MOSトランジスタ42のゲート電極には、3Vの電圧が印加される。また、点 P_1 に接続されるMOSトランジスタ42の端子の電位は、上記のように3.5Vになっている。これにより、この電位がゲート電極の電位より高くなるので、MOSトランジスタ42は、オンの状態(または、オンとオフの中間的な状態)になる。

【0022】このように、図3に示す回路を電圧比較器として使用する場合、スイッチ回路40をオフさせるためにスイッチ制御信号Sをローレベルにしても、MOSトランジスタ42がオフにならない。このため、スイッチ回路40が完全にオフしなくなることがある。

【0023】スイッチ回路40が完全にオフしないと、定電流源33からの電流がスイッチ回路40にも流れてしまうので、出力端子3からの出力信号が歪んでしまう。例えば、差動増幅器20の出力信号が、図5に示すような時刻 T_1 で V_1 から V_2 へ立ち上がる波形である場合、出力端子3から実際に出力される信号は、図6に示すように、 V_3 から V_4 に瞬時に変化せず、歪んだ波形になる。

【0024】

【課題を解決するための手段】本発明の電圧比較器は、上記の課題を解決するために、2系統の入力信号の差に

応じた信号を出力する差動増幅器と、この差動増幅器の出力信号を増幅する増幅用トランジスタと、この増幅用トランジスタの入出力間に設けられる位相補償用コンデンサと、上記増幅用トランジスタの入出力間への上記位相補償用コンデンサの接続および切り離しを行う接離スイッチと、上記増幅用トランジスタの出力信号に含まれるオフセット成分を補償するオフセット補償回路とを備えた電圧比較器において、上記位相補償用コンデンサの両端を短絡する短絡スイッチを備えていることを特徴としている。

【0025】上記の構成において、位相補償用コンデンサは、接離スイッチにより、位相補償が必要なときに増幅用トランジスタの入出力間に接続され、位相補償が不要なときに増幅用トランジスタの入出力間から切り離される。位相補償用コンデンサが増幅用トランジスタの入出力間から切り離されても、位相補償用コンデンサには接続時に蓄積された電荷がそのまま残っている。ところが、短絡スイッチにより位相補償用コンデンサの両端が短絡されると、位相補償用コンデンサに蓄積された電荷が放出される。これにより、本電圧比較器が電圧比較動作を行う際、接離スイッチの動作を制御する制御信号を、接離スイッチをオフさせるように例えばローレベルにすれば、接離スイッチが確実にオフする。したがって、本電圧比較器の出力信号が歪むという不都合を回避できる。

【0026】上記の電圧比較器では、好ましくは、上記短絡スイッチが、上記接離スイッチの接続動作に同期して上記位相補償用コンデンサの両端を開放する一方、上記接離スイッチの切り離し動作に同期して上記位相補償用コンデンサの両端を短絡するようになっている。

【0027】この構成では、接離スイッチが位相補償用コンデンサを接続しているときには、位相補償用コンデンサの両端が短絡スイッチにより開放され、接離スイッチが位相補償用コンデンサを切り離しているときは、位相補償用コンデンサの両端が短絡スイッチにより短絡される。このように、短絡スイッチが接離スイッチの動作に同期して動作するようになっているので、短絡スイッチおよび接離スイッチの制御系統を共通化することができる。

【0028】

【発明の実施の形態】本発明の実施の一形態について図1および図2に基づいて説明すれば、以下の通りである。なお、本実施の形態において、図3に示す従来の電圧比較器の構成要素と同等の機能を有する構成要素については、同一の符号を付記する。

【0029】本実施の形態に係る電圧比較器は、図1に示すように、プラス側の入力端子1と、マイナス側の入力端子2と、出力端子3と、電源電圧 V_{DD} ・ V_{SS} がそれぞれ与えられる電源端子4・5と、制御信号Sが入力される制御端子6とを備えている。また、本電圧比較器

は、オフセット補償回路10と、差動増幅器20と、増幅用トランジスタ31と、位相補償用コンデンサ32と、定電流源33と、インバータ34と、スイッチ回路40・50とを備えている。

【0030】オフセット補償回路10は、切替スイッチ11・12、ON/OFFスイッチ13、オフセット補償用コンデンサ14および基準電圧源15を有している。

【0031】切替スイッチ11は、入力端子1から入力される入力信号と基準電圧源15で発生する基準電圧 V_{REF} とを切り替えて出力するスイッチである。切替スイッチ12は、入力端子2から入力される入力信号と上記の基準電圧 V_{REF} とを切り替えてオフセット補償用コンデンサ14に出力するスイッチである。

【0032】ON/OFFスイッチ13は、オフセット補償用コンデンサ14の一方の端子と出力端子3との間に設けられている。このON/OFFスイッチ13は、切替スイッチ11・12がともに基準電圧源15側に切り替えられているときにオンし、切替スイッチ11・12がそれぞれ入力端子1・2側に切り替えられているときにオフするようになっている。

【0033】差動増幅器20は、P型のMOSトランジスタ（以降、P-MOSトランジスタと称する）21・22、N型のMOSトランジスタ（以降、N-MOSトランジスタと称する）23・24および定電流源25を有している。

【0034】P-MOSトランジスタ21は、ゲートにオフセット補償用コンデンサ14のON/OFFスイッチ13側の端子が接続され、P-MOSトランジスタ22は、ゲートに切替スイッチ11の出力端が接続されている。また、P-MOSトランジスタ21・22は、ともにソースに定電流源25の出力端が接続されている。一方、N-MOSトランジスタ23・24は、ドレインがそれぞれP-MOSトランジスタ21・22のドレインに接続され、ソースがともに電源端子5に接続されている。また、N-MOSトランジスタ23のゲートは、N-MOSトランジスタ23のソースとN-MOSトランジスタ24のゲートに接続されている。そして、定電流源25の入力端は、電源端子4に接続されている。

【0035】増幅用トランジスタ31は、N型のMOSトランジスタである。この増幅用トランジスタ31のゲートは、差動増幅器20の出力端、すなわちP-MOSトランジスタ22とN-MOSトランジスタ24との接続点（ソース）に接続されている。また、増幅用トランジスタ31は、ドレインが定電流源33の出力端に接続され、ソースが電源端子5に接続されている。定電流源33の入力端は、電源端子4に接続されている。

【0036】位相補償用コンデンサ32およびスイッチ回路40は、増幅用トランジスタ31のゲート・ドレイン間に直列に接続されている。また、スイッチ回路50

は、位相補償用コンデンサ32と並列に接続されている。位相補償用コンデンサ32の一方の端子は、差動増幅器20の出力端、すなわち点 P_2 に接続され、位相補償用コンデンサ32の他方の端子は、スイッチ回路40の入力端、すなわち点 P_1 に接続されている。

【0037】接離スイッチとしてのスイッチ回路40は、N-MOSトランジスタ41およびP-MOSトランジスタ42が並列接続されて構成される、いわゆるトランスファゲートである。N-MOSトランジスタ41のゲートは制御端子6に接続され、P-MOSトランジスタ42のゲートはインバータ34を介して制御端子6に接続されている。また、N-MOSトランジスタ41のドレインおよびP-MOSトランジスタ42のドレインは、ともに点 P_1 に接続されている。また、N-MOSトランジスタ41のソースおよびP-MOSトランジスタ42のドレインは、ともに増幅用トランジスタ31のドレインに接続されている。

【0038】短絡スイッチとしてのスイッチ回路50も、トランスファゲートであり、N-MOSトランジスタ51およびP-MOSトランジスタ52が並列接続されて構成されている。N-MOSトランジスタ51のドレインおよびP-MOSトランジスタ52のソースは、ともに点 P_2 に接続されている。また、N-MOSトランジスタ51のソースおよびP-MOSトランジスタ52のドレインは、ともに点 P_1 に接続されている。

【0039】上記のように構成される電圧比較器では、電圧比較動作を行う前にオフセット補償動作が行われる。このオフセット補償動作は、前述の従来の電圧比較器(図3参照)におけるオフセット補償動作と同様であり、オフセット補償回路10において、切替スイッチ11・12が基準電圧源15側に切り替えられ、ON/OFFスイッチ13がオンした状態で機能する。また、このとき、制御信号Sがハイレベルとなるため、スイッチ回路40がオンしている。

【0040】このような状態では、オフセット補償用コンデンサ14にオフセット電圧 V_{OFF} の電位だけ余分に電荷が蓄えられる。また、オフセット補償動作においては、スイッチ回路50が制御信号Sによりオフしているので、スイッチ回路40を介して増幅用トランジスタ31の入出力間に位相補償用コンデンサ32が接続される。したがって、電圧比較器は、位相補償用コンデンサ32により、発振が抑制されて動作が安定する。

【0041】電圧比較器の動作がオフセット補償動作から電圧比較動作に移行すると、切替スイッチ11・12がそれぞれ入力端子1・2側に切り替えられ、ON/OFFスイッチ13がオフするとともに、制御信号Sがローレベルとなる。これにより、スイッチ回路40がオフし、スイッチ回路50がオンする。

【0042】このような状態では、入力端子1・2にそれぞれ電位 V_{IN1} ・ V_{IN2} が与えられると、入力端子2

の電位が電位 V_{IN2} からオフセット補償用コンデンサ14に充電されたオフセット電圧 V_{OFF} を減じた値となる。したがって、差動増幅器20および増幅用トランジスタ31を介して出力端子3に現れる出力電圧 V_{OUT} は、オフセット成分が相殺される。

【0043】また、スイッチ回路40がオフしているので、増幅用トランジスタ31の入出力間から位相補償用コンデンサ32が切り離され、周波数帯域が拡大し、かつ動作が速くなる。このとき、スイッチ回路50がオンすることにより、位相補償用コンデンサ32の両端が短絡されるので、オフセット補償動作中に位相補償用コンデンサ32に蓄積された電荷が放出される。このため、位相補償用コンデンサ32の両端が同電位になる。したがって、点 P_1 の電位がP-MOSトランジスタ42のゲート電圧(制御信号Sのハイレベルの電位)より高くなることはなくなる。この結果、制御信号Sがローレベルのときに、P-MOSトランジスタ42がオンすることはない。

【0044】これにより、図2に示すように、本電圧比較器の出力信号は、従来の同出力信号(図6参照)と比べて歪みのない波形となる。それゆえ、位相補償用コンデンサ32に全く影響されることなく、電圧比較器を安定して動作させることができる。また、出力波形に歪みがなくなるので、電圧比較器を高速で動作させることができる。

【0045】また、基準電圧 V_{REF} は、通常、電源電圧 V_{DD} と電源電圧 V_{SS} とのちょうど中間の電位に設定されるが、これに限らず、 V_{DD} と V_{SS} との間の他の電位であってもよい。勿論、本電圧比較器は、このような基準電圧 V_{REF} によっても、前述のように動作する。

【0046】なお、本実施の形態においては、電圧比較器に設けられる全トランジスタが図1に示す極性(P型およびN型)と逆になるように構成されていても、上記と同様に電圧比較器の動作を安定化させることができる。この構成では、スイッチ回路40に与えられる制御信号として、トランジスタの極性に応じて上記の制御信号Sを反転させた信号が用いられる。上記の構成で電圧比較動作を行う際には、スイッチ回路50の短絡動作により、点 P_1 の電位がN-MOSトランジスタのゲート電圧より低くなることが防止されるので、スイッチ回路40がオンすることはない。

【0047】

【発明の効果】本発明の電圧比較器は、以上のように、差動増幅器の出力信号を増幅する増幅用トランジスタの入出力間に接離スイッチにより位相補償用コンデンサを接続し、かつ切り離すように構成され、上記増幅用トランジスタの出力信号に含まれるオフセット成分を補償するオフセット補償回路を備えた電圧比較器において、上記位相補償用コンデンサの両端を短絡する短絡スイッチを備えているので、短絡スイッチにより、位相補償用コ

ンデンサが増幅用トランジスタの入出力間から切り離されたときに位相補償用コンデンサにそのまま残っている電荷が放出される。これにより、本電圧比較器が電圧比較動作を行う場合、接離スイッチを完全にオフさせることができる。それゆえ、本電圧比較器の出力信号に歪みが生じることを防止できる。

【0048】したがって、上記の構成を採用すれば、電圧比較器の動作の信頼性を向上させることができるとともに、電圧比較器の動作を高速化することができるという効果を奏する。

【0049】上記の電圧比較器における上記短絡スイッチは、好ましくは、上記接離スイッチの接続動作に同期して上記位相補償用コンデンサの両端を開放する一方、上記接離スイッチの切り離し動作に同期して上記位相補償用コンデンサの両端を短絡するように構成されているので、短絡スイッチおよび接離スイッチの制御系統を共通化することができる。したがって、この構成を採用すれば、回路の簡素化を図ることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の一形態に係る電圧比較器の構成を示す回路図である。

【図2】上記電圧比較器の出力端子から出力される出力信号の波形を示す波形図である。

【図3】従来の電圧比較器の構成を示す回路図である。

【図4】図3の電圧比較器が有するスイッチ回路におけるP-MOSトランジスタの構造を示す断面図である。

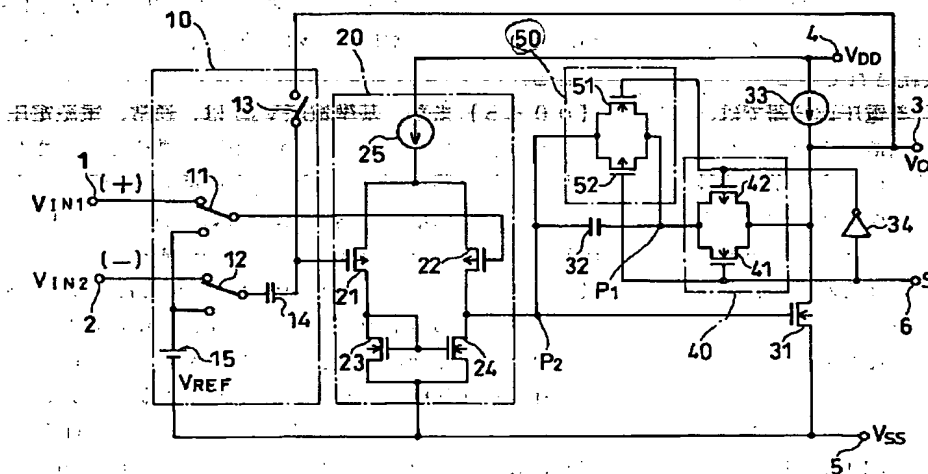
【図5】図3の電圧比較器の差動増幅器からの出力信号の波形を示す波形図である。

【図6】図3の電圧比較器の出力端子から出力される出力信号の波形を示す波形図である。

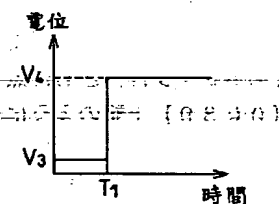
【符号の説明】

- 10 オフセット補償回路
- 20 差動増幅器
- 31 増幅用トランジスタ
- 32 位相補償用コンデンサ
- 40 スイッチ回路（接離スイッチ）
- 50 スイッチ回路（短絡スイッチ）

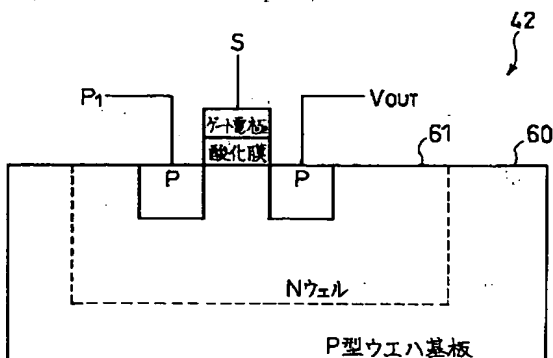
【図1】



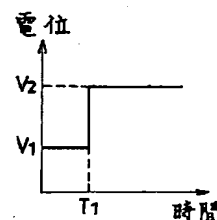
【図2】



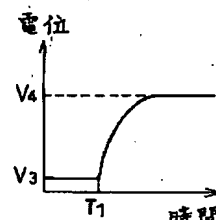
【図4】



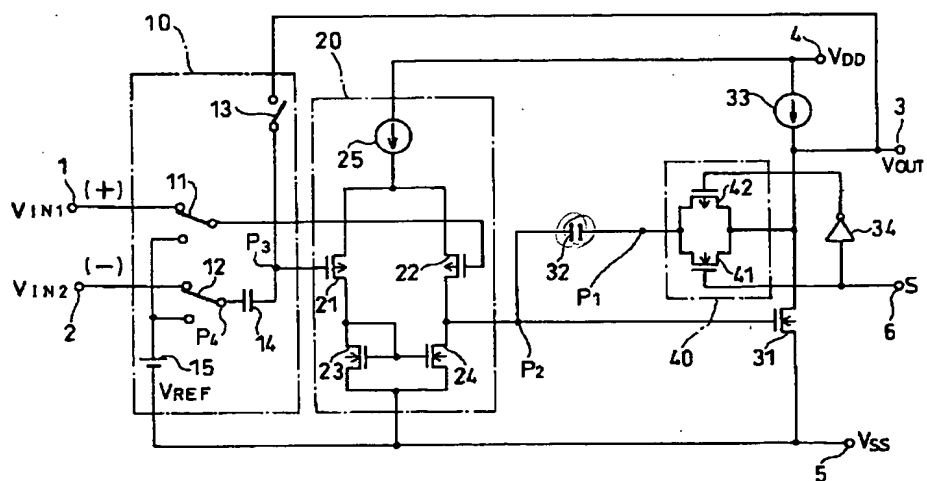
【図5】



【図6】



【図3】



THIS PAGE BLANK (USPTO)